

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-064362

(43)Date of publication of application : 07.03.1997

(51)Int.Cl.

H01L 29/78

H01L 21/318

H01L 21/336

(21)Application number : 07-236147

(71)Applicant : RICOH CO LTD

(22)Date of filing : 21.08.1995

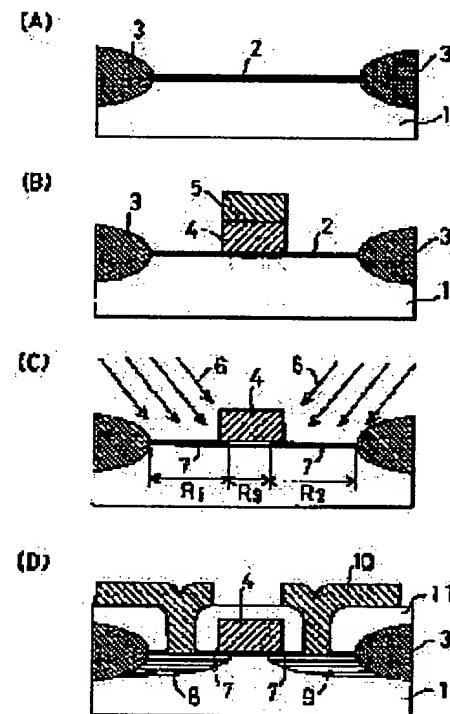
(72)Inventor : SUZUKI AKINORI

(54) MOS SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To form a gate insulation film with the controllability of V_{th} and dielectric strength by forming a region from a part directly below a gate electrode edge part to a part which is closest to a field oxide film out of a gate insulation film as an oxygen nitride film.

SOLUTION: After forming polysilicon film on the entire surface of a gate oxide film (gate insulation film) 2 and a field oxide film 3 formed on a P-type silicon substrate 1, phosphor is diffused into the polysilicon by the thermal diffusion method to reduce resistance. A polysilicon 4 (gate electrode) and a photoresist 5 are patterned by photolithography and etching. After eliminating the photoresist 5, nitrogen ions 6 are subjected to ion implantation by the rotary oblique implantation method and heat treatment is made, thus changing a region from a part directly below the edge part of the polysilicon 4 to a part closest to the field oxide film 3 to an oxide nitride film 7 out of the gate oxide film 2.



LEGAL STATUS

[Date of request for examination] 08.12.2000

[Date of sending the examiner's decision of rejection] 01.10.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-64362

(43)公開日 平成9年(1997)3月7日

(51)Int.Cl.⁶

H 01 L 29/78
21/318
21/336

識別記号

庁内整理番号

F I

H 01 L 29/78
21/318
29/78

技術表示箇所

301 G
C
301 P

審査請求 未請求 請求項の数4 FD (全4頁)

(21)出願番号

特願平7-236147

(22)出願日

平成7年(1995)8月21日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 鈴木 章徳

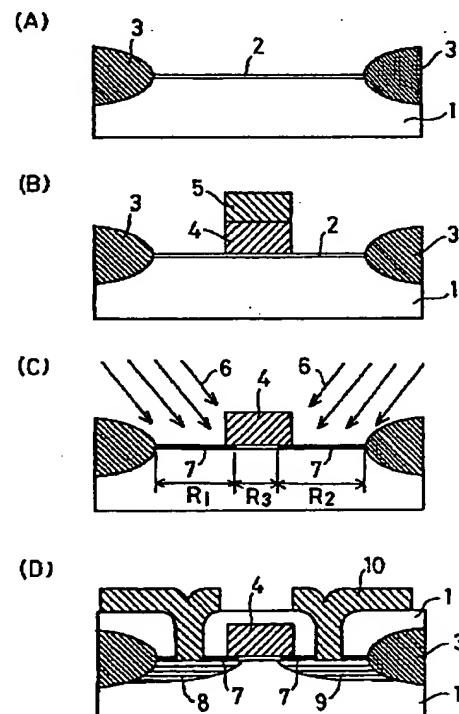
東京都大田区中馬込1丁目3番6号 株式
会社リコー内

(54)【発明の名称】 MOS型半導体装置とその製造方法

(57)【要約】

【課題】 V_{th} の制御性と絶縁耐性を兼ね備るたゲート絶縁膜を形成したMOS型半導体装置および、その製造方法を提供する。

【解決手段】 P型シリコン基板1上に形成したゲート酸化膜(ゲート絶縁膜)2、フィールド酸化膜3の全面にポリシリコン膜を積層した後、熱拡散法によりリンをポリシリコン中に拡散させて低抵抗化させた。フォトリソグラフィーおよびエッチングによりポリシリコン4(ゲート電極)およびフォトレジスト5をパターニングした。フォトレジスト5を除去した後、窒素イオン6を回転斜め注入法によりイオン注入した後、熱処理を施すことにより、ゲート酸化膜2のうちポリシリコン4の端部直下部分からフィールド酸化膜3の直近部分までを窒化酸化膜7に変えた。



【特許請求の範囲】

【請求項1】 半導体基板上に第1導電型半導体からなるドレイン領域およびソース領域と、これらの領域間にチャネル領域と、このチャネル領域の表面にゲート絶縁膜と、このゲート絶縁膜上にゲート電極とを有するMOS型半導体装置において、ゲート絶縁膜のうちゲート電極端部直下の部分に含まれる窒素原子濃度が、ゲート絶縁膜のうちゲート電極中央部直下の部分に含まれる窒素原子濃度に比べて高いことを特徴とするMOS型半導体装置。

【請求項2】 前記ゲート絶縁膜のうちゲート電極端部直下の部分に含まれる窒素原子濃度が3.0原子%以上であることを特徴とする請求項1に記載のMOS型半導体装置。

【請求項3】 請求項1に記載のMOS型半導体装置を製造する方法であって、半導体基板上にゲート絶縁膜と、該ゲート絶縁膜上にゲート電極とを形成し、これらゲート絶縁膜上およびゲート電極上からゲート絶縁膜および、ゲート絶縁膜と半導体基板との界面に窒素イオンをイオン注入法により導入した後、熱酸化処理またはアニール処理を施すことを特徴とするMOS型半導体装置の製造方法。

【請求項4】 前記イオン注入法による窒素イオンの導入を、回転斜め注入法を用いて行うことを特徴とする請求項3に記載のMOS型半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、MOS型半導体装置および、その製造方法に関するものである。

【0002】

【従来の技術】 デバイスの微細化に伴って、ゲート絶縁膜の薄膜化が進んでいる。しかし、ゲート絶縁膜として現在よく用いられているゲート酸化膜では、これを薄膜化した場合の絶縁耐圧の劣化が重要な問題となってきた。

【0003】 最近では、オキシナイトライド膜が、絶縁耐圧特性およびホットキャリア耐性が酸化膜に比べて優れているため注目されている。この膜は、NH₃雰囲気中でのアニールにより酸化膜を熱窒化して形成される。このオキシナイトライド膜では、アニールによりH原子が導入されるため、電子トラップを導くという重大な欠点があるが、この欠点は、この膜を高温で熱処理して前記H原子をアニールアウトすることで取り除くことができる。

【0004】 しかし、デバイスを微細化した場合、上記高温の熱処理により増加した熱履歴が、デバイス特性に悪影響を及ぼす問題があった。また、このオキシナイトライド膜は、信頼性の点では優れているものの、界面準位、固定電荷の増加により移動度、V_th制御等の性能面が、酸化膜に比べて劣るという問題もあった。

【0005】 一方、H原子の導入が伴わないN₂O雰囲気中でのアニールも検討されている。この方法で形成された膜は、NH₃雰囲気中でのアニールによるオキシナイトライド膜に比べて性能面で優れているが、この膜中に含まれる窒素濃度が低い（窒素原子濃度は2~3原子%）ため信頼性の面で、NH₃雰囲気中でのアニールによるオキシナイトライド膜に比べて劣るという問題があった。

【0006】 オキシナイトライド膜の形成方法として、ゲート酸化膜を形成し、このゲート酸化膜上から窒素イオンを注入した後、熱処理を施すものがあるが、この方法では、拡散領域の全体で窒素濃度が一様になってしまいという不具合があった。

【0007】 その一例として、特開平5-283679号公報に、ゲート絶縁膜の固定電荷を減らし、しきい値電圧のシフトを少なくするとともに、酸化膜トラップを減らし、チャネルホットエレクトロン注入によるホットキャリア劣化を抑えたMIS型半導体装置が開示されている。この半導体装置におけるゲート絶縁膜は、チャネル領域との界面部を構成する、窒素原子を10¹⁹/cm³以上含む窒化酸化膜と、該窒化酸化膜上に配置された、窒素原子を10¹⁹/cm³以下の濃度で含むシリコン酸化膜とからなる2層構造としたものである。

【0008】 また、特開平6-151829号公報には、固定電荷の発生や不安定化、界面準位の増大などを防止することができるゲート絶縁膜を備えた半導体装置の製造方法が記載されている。この製造方法は、シリコン基板上に形成されたシリコン窒化酸化膜をゲート絶縁膜として用い、このゲート絶縁膜上にゲート電極を形成する半導体装置の製造方法において、シリコン窒化酸化膜、またはシリコン窒化酸化膜とシリコン基板との界面に窒素イオンをイオン注入することを特徴としている。しかし、これら公報記載の技術では、ゲート絶縁膜の全面にわたってシリコン窒化酸化膜を用いている。

【0009】 さらに、特開平3-38839号公報および、特開平3-42872号公報には、半導体装置の製造に当たり、基板中に窒素イオンを注入することが開示されている。しかし、この窒素イオン注入は、ソースおよびドレインの拡散層の拡がりを抑制することを目的としたものである。

【0010】

【発明が解決しようとする課題】 ゲート絶縁膜の絶縁破壊は、一般にゲートエッジで発生すると言われている。これを防止するには、ゲート絶縁膜の窒素濃度を高くすることにより絶縁耐性を向上させねばよい。しかし、窒素濃度が高くなると、チャネル領域直上部のゲート絶縁膜の固定電荷が増加してV_thをシフトするため、V_thの制御性が劣るという問題が発生する。

【0011】 本発明は、上記の点に鑑みなされたもので、その目的は、V_thの制御性と絶縁耐性を兼ね備え

るゲート絶縁膜を形成したMOS型半導体装置および、その製造方法を提供することにある。

【0012】

【課題を解決するための手段】本発明のMOS型半導体装置は、ゲート電極端部直下のゲート絶縁膜中の窒素濃度を高くし、ゲート電極中央部（チャネル領域直上）のゲート絶縁膜中の窒素濃度を低くすることで、上記のように優れた特性を有するゲート絶縁膜を設けたものである。また、本発明のMOS型半導体装置の製造方法は、上記ゲート絶縁膜を形成するために、ゲートエッジに窒素イオンを導入するようにしたものである。

【0013】すなわち、請求項1に記載のMOS型半導体装置は、半導体基板上に第1導電型半導体からなるドレイン領域およびソース領域と、これらの領域間にチャネル領域と、このチャネル領域の表面にゲート絶縁膜と、このゲート絶縁膜上にゲート電極とを有するMOS型半導体装置において、ゲート絶縁膜のうちゲート電極端部直下の部分に含まれる窒素原子濃度が、ゲート絶縁膜のうちゲート電極中央部直下の部分に含まれる窒素原子濃度に比べて高いことを特徴とする。

【0014】請求項2に記載のMOS型半導体装置は、請求項1において、ゲート絶縁膜のうちゲート電極端部直下の部分に含まれる窒素原子濃度が3.0原子%以上であることを特徴とする。

【0015】請求項3に記載のMOS型半導体装置の製造方法は、請求項1に記載のMOS型半導体装置を製造する方法であって、半導体基板上にゲート絶縁膜と、該ゲート絶縁膜上にゲート電極とを形成し、これらゲート絶縁膜上およびゲート電極上からゲート絶縁膜および、ゲート絶縁膜と半導体基板との界面に窒素イオンをイオン注入法により導入した後、熱酸化処理またはアニール処理を施すことを特徴とする。

【0016】請求項4に記載のMOS型半導体装置の製造方法は、請求項3においてイオン注入法による窒素イオンの導入を、回転斜め注入法を用いて行うことを特徴とする。

【0017】本発明に係るMOS型半導体装置では、ゲート電極エッジ部のゲート絶縁膜の窒素濃度を、ゲート電極中央部直下のゲート絶縁膜（チャネル領域のゲート絶縁膜）の窒素濃度よりも高くしたことで絶縁耐性が向上し、かつV_tの制御性が良いゲート絶縁膜を形成することができる。

【0018】本発明に係るMOS型半導体装置の製造方法では、ゲート電極エッジ部のゲート絶縁膜に窒素をイオン注入法で導入するため、ゲート絶縁膜における最適な窒素濃度分布の形成が可能となる。そのうえ、H原子が導入されないので、高温の熱処理を施すことなく高信頼性、かつ高性能のゲート絶縁膜を提供することができる。

【0019】

【実施例】次に、本発明に係るMOS型半導体装置の製造方法の実施例を、図面を参照して説明する。

実施例

図1は、この製造方法を工程順に示す断面図である。P型シリコン基板1上に膜厚10～40nmの保護酸化膜を、次いで膜厚80～150nmの窒化シリコン膜を積層し、フォトリソグラフィー技術およびエッティング技術でパターニングし、窒化シリコン膜をマスクにして膜厚400～800nmのフィールド酸化膜を形成した。

【0020】窒化シリコン膜および保護酸化膜をウエットエッティングで除去した後、850～950°Cのウエット酸化工程により、図1(A)に示すように膜厚8～20nmのゲート酸化膜（ゲート絶縁膜）2を形成した。3はフィールド酸化膜である。なお、ゲート酸化膜2に代えて、950～1050°CのN₂O、O₂混合ガス雰囲気中で RTP法 (Rapid Thermal Process) で処理することにより、膜厚8～20nmのオキシナイトライド膜を形成してもよい。

【0021】ゲート酸化膜2、フィールド酸化膜3の全面に膜厚200～400nmのポリシリコン膜を積層した後、熱拡散法によりリンをポリシリコン中に拡散させて低抵抗化させた。図1(B)に示すように、フォトリソグラフィー技術およびエッティング技術にてパターニングした。4はポリシリコン（ゲート電極）、5はフォトレジストである。

【0022】図1(C)に示すように、フォトレジスト5を除去した後、ゲート酸化膜2およびポリシリコン4の上方から窒素イオン6を回転斜め注入法によりイオン注入した。この場合、注入エネルギーを5～20keV、ドーズ量を1～5E14cm⁻²、注入角度を10～40°とした。その後、850～950°CのN₂O雰囲気中で酸化処理（または850～950°CのN₂雰囲気中でアニール処理）を施した。これにより、ゲート酸化膜2のうち露出部分および、ポリシリコン4の端部直下の部分を窒化酸化膜7に変え、この窒化酸化膜7に含まれる窒素原子濃度を3.0原子%以上とした。ゲート酸化膜2のうちポリシリコン4の中央部直下部分は、ゲート酸化膜のままにした。すなわち、図1(C)においてR₁、R₂の部分は窒化酸化膜7とし、R₃の部分はゲート酸化膜2のままとした。

【0023】図1(D)に示すようにソース領域8の拡散層および、ドレイン領域9の拡散層をイオン注入と、その後の熱処理で形成し、CVD技術、フォトリソグラフィー技術およびエッティング技術でコンタクト孔、次いでメタル配線10を形成してMOS半導体装置を得た。なお、11はポリメタ層間膜である。

【0024】

【発明の効果】以上の説明で明らかなように、本発明のMOS型半導体装置は、例えば、ゲート絶縁膜のうちゲート電極端部直下の部分からフィールド酸化膜直近の部

分までを窒化酸化膜とすることにより、この窒化酸化膜に含まれる窒素原子濃度を、ゲート絶縁膜のうちゲート電極の中央部直下の部分に含まれる窒素原子濃度に比べて高くしたものである。このため本発明のMOS型半導体装置におけるゲート絶縁膜では、絶縁耐性およびホットキャリア劣化耐性が向上すると同時に、V_t h制御性および移動度が高まる。また、半導体基板中に導入された窒素イオンはソース、ドレインの拡散層の拡がりを抑制することができる。このように、本発明によれば、特性の優れたMOS型半導体装置を提供することができる。

【図面の簡単な説明】

【図1】MOS型半導体装置の製造方法の実施例に係る

もので、この製造方法を工程順に示す断面図である。

【符号の説明】

- 1 P型シリコン基板
- 2 ゲート酸化膜
- 3 フィールド酸化膜
- 4 ポリシリコン
- 5 フォトレジスト
- 6 窒素イオン
- 7 窒化酸化膜
- 8 ソース領域
- 9 ドレイン領域
- 10 メタル配線
- 11 ポリメタ層間膜

【図1】

